

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

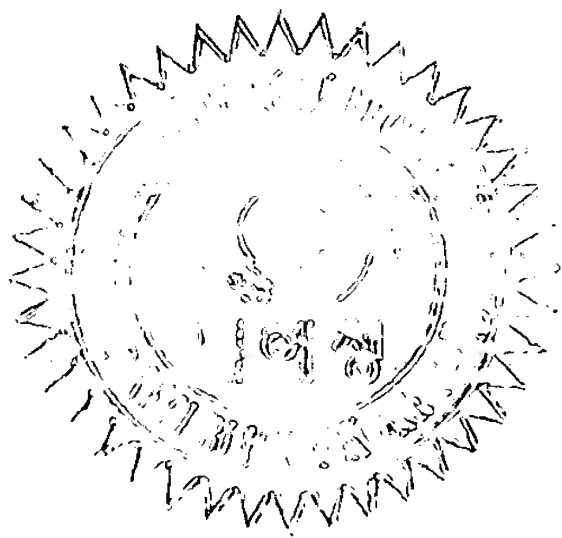
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0054257
Application Number PATENT-2002-0054257

출원년월일 : 2002년 09월 09일
Date of Application SEP 09, 2002

출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



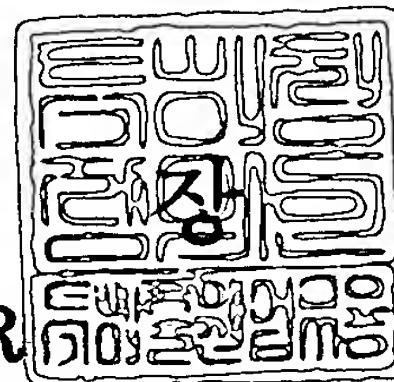
2002 년 10 월 23 일

특

허

청

COMMISSIONER



【서지사항】

| | |
|------------|---|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【참조번호】 | 0021 |
| 【제출일자】 | 2002.09.09 |
| 【국제특허분류】 | G11C |
| 【발명의 명칭】 | 개선된 리던던시 스킴을 가지는 반도체 메모리 장치 |
| 【발명의 영문명칭】 | Semiconductor memory device having improved redundancy scheme |
| 【출원인】 | |
| 【명칭】 | 삼성전자 주식회사 |
| 【출원인코드】 | 1-1998-104271-3 |
| 【대리인】 | |
| 【성명】 | 이영필 |
| 【대리인코드】 | 9-1998-000334-6 |
| 【포괄위임등록번호】 | 1999-009556-9 |
| 【대리인】 | |
| 【성명】 | 정상빈 |
| 【대리인코드】 | 9-1998-000541-1 |
| 【포괄위임등록번호】 | 1999-009617-5 |
| 【발명자】 | |
| 【성명의 국문표기】 | 박덕하 |
| 【성명의 영문표기】 | PARK, Duk Ha |
| 【주민등록번호】 | 720228-1683824 |
| 【우편번호】 | 442-400 |
| 【주소】 | 경기도 수원시 팔달구 망포동 벽산아파트 113-1803 |
| 【국적】 | KR |
| 【발명자】 | |
| 【성명의 국문표기】 | 이희춘 |
| 【성명의 영문표기】 | LEE, Hi Choon |
| 【주민등록번호】 | 650425-1011740 |

【우편번호】 449-903
【주소】 경기도 용인시 기흥읍 구갈리 세종리젠시빌 2-3BL 203-201
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
이영필 (인) 대리인
정상빈 (인)
【수수료】
【기본출원료】 17 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 10 항 429,000 원
【합계】 458,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

개선된 리던던시 스킴을 가지는 반도체 메모리 장치가 개시된다. 본 발명에 따른 반도체 메모리 장치는 하나 이상의 메모리 블록을 포함한다. 메모리 블록은 칼럼 방향으로 배열되는 복수개의 메모리 뱅크들을 포함한다. 각 메모리 뱅크는 로우와 칼럼의 매트릭스 구조에 배열되는 다수의 노말 메모리셀들 및 결함셀을 대체할 수 있는 적어도 하나의 리던던시 라인을 포함한다. 그리고, 복수개의 메모리 뱅크들 중 포토샷 경계면이나 칩 경계면에 이웃하는 적어도 하나의 메모리 뱅크는 나머지 메모리 뱅크들에 비하여 더 많은 상기 리던던시 라인을 포함하는 것을 특징으로 한다. 본 발명에 의하면, 공정 특성 등으로 인하여 메모리 뱅크에 따라 불량률이 다르게 나타나는 경우에 메모리 뱅크에 구비되는 리던던시 개수를 다르게 함으로써, 수율(yield)을 개선할 수 있는 효과가 있다.

【대표도】

도 2

【명세서】**【발명의 명칭】**

개선된 리던던시 스킴을 가지는 반도체 메모리 장치{Semiconductor memory device having improved redundancy scheme}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 종래 기술에 따른 리던던시 스킴을 가지는 반도체 메모리 장치가 다수 개 배치된 반도체 웨이퍼의 일 예를 나타내는 도면이다.

도 2는 본 발명의 일 실시예에 따른 개선된 리던던시 스킴을 가지는 반도체 메모리 장치가 다수 개 배치된 반도체 웨이퍼를 나타내는 도면이다.

도 3은 본 발명의 다른 일 실시예에 따른 개선된 리던던시 스킴을 가지는 반도체 메모리 장치가 다수 개 배치된 반도체 웨이퍼를 나타내는 도면이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히, 복수의 메모리 뱅크를 포함하는 반도체 메모리 장치에서 리던던시 효율을 높이는 방안에 관한 것이다.

<6> 복수의 메모리 뱅크들을 포함하는 멀티-뱅크(multi-bank) 구조의 반도체 메모리 장치에서 리던던시 셀은 일반적으로 각 메모리 뱅크마다 몇 개씩 구비되며, 메모리 뱅크

단위로 리페어가 이루어진다. 즉, 메모리 뱅크에 결함 셀이 발생하면, 그 결함 셀은 해당 메모리 뱅크의 리던던시 셀로 대체되고, 해당 메모리 뱅크에 남아 있는 리던던시 셀이 없는 경우에는 리페어가 불가능하게 된다.

- <7> 종래 기술에 따른 반도체 메모리 장치는 리던던시 셀의 개수를 각 메모리 뱅크마다 균일하게 사용한다.
- <8> 도 1은 종래 기술에 따른 리던던시 스킴을 가지는 반도체 메모리 장치가 다수 개 배치된 반도체 웨이퍼의 일 예를 나타내는 도면이다. 반도체 웨이퍼에는 다수의 반도체 메모리 장치(100)가 형성되는데, 도 1에는 4개의 반도체 메모리 장치(100)가 도시된다.
- <9> 도 1에 도시된 반도체 웨이퍼는 포토샷(photo shot)당 4 다이(die) 마스크를 사용하는 것으로 가정한다. 즉, 4개의 반도체 메모리 장치 단위로 포토샷 공정이 이루어진다. 포토샷 공정은 포토 레지스터(photo resistor)를 입힌 반도체 웨이퍼에 설계된 회로 패턴에 따른 포토 마스크(photo mask)를 씌우고 사진 촬영장치라 불리는 기계로 노광(exposure) 및 현상(develop)하는 과정이다.
- <10> 하나의 반도체 메모리 장치(100)는 다수의 메모리 블록(110)을 포함하며, 하나의 메모리 블록(110)은 16개의 메모리 뱅크를 포함한다. 메모리 뱅크는 상세히 도시되지는 않았지만, 노말 메모리 셀들과 노말 메모리 셀에 결함이 발생하는 경우, 결함 셀을 대체하기 위한 리던던시 셀을 포함한다.
- <11> 종래 기술에 따른 반도체 메모리 장치(100)는 각 메모리 뱅크(110)에 포함되는 리던던시의 수, 즉 리던던시 셀, 리던던시 로우 또는 리던던시 칼럼의 수가 동일하도록 설

계된다. 그런데, 포토샷 공정에서의 포토 마진(photo margin) 부족으로 포토샷(photo shot)의 가장자리 부분의 메모리 बैं크에서 리페어(repair)율이 높게 나타나고 있다.

- <12> 각 메모리 बैं크의 리턴던시 수를 동일하게 하는 종래 기술에 따른 리턴던시 스킴은, 공정 특성 등으로 인하여 결함 셀의 발생률이 메모리 बैं크에 따라 다르게 나타나는 경우에 결함셀을 효율적으로 리페어하지 못하게 된다. 즉, 결함셀이 적게 발생하는 메모리 बैं크의 리턴던시 셀은 리페어에 사용되지 않고 많이 남아 있는데 반하여 결함셀의 발생률이 높은 메모리 बैं크에서는 리턴던시 셀이 부족하여 리페어를 할 수 없는 상황이 발생될 수 있다.

- <13> 도 1에 도시된 반도체 웨이퍼에서는, 4개의 반도체 메모리 장치 단위로 포토샷 공정이 진행된다는데, 포토샷의 가장자리에 있는 메모리 बैं크들(130)에서 결함셀의 발생률이 높게 나오게 된다. 이는 전체 반도체 메모리 장치의 수에 대한 양품 반도체 메모리 장치의 비율인 수율(yield)을 낮추는 원인이 되고, 수율을 높이기 위해 각 메모리 बैं크의 리턴던시 개수를 늘리게 되면 칩 크기가 증가하게 된다.

【발명이 이루고자 하는 기술적 과제】

- <14> 따라서 본 발명이 이루고자 하는 기술적 과제는 다수의 메모리 बैं크를 포함하는 반도체 메모리 장치에서 메모리 बैं크에 포함되는 리턴던시 개수를 다르게 배치함으로써 리페어 효율이 향상되는 반도체 메모리 장치를 제공하는 것이다.

【발명의 구성 및 작용】

- <15> 상기 기술적 과제를 달성하기 위한 본 발명의 일면에 따른 반도체 메모리 장치는 로우와 칼럼의 매트릭스 구조에 배열되는 다수의 노말 메모리셀들; 및 결함라인을 대체

할 수 있는 적어도 하나의 리턴던시 라인을 포함하는 복수개의 메모리 뱅크들을 구비한다. 상기 결합라인은 상기 결합라인이 속하는 메모리 뱅크의 리턴던시 라인으로 대체되고, 상기 리턴던시 라인의 수는 상기 리턴던시 라인이 포함되는 메모리 뱅크의 위치에 따라 다른 것을 특징으로 한다.

<16> 바람직하기로는, 상기 메모리 뱅크들 중 포토샷 경계면 또는 칩 경계면에 이웃하는 적어도 하나의 메모리 뱅크는 M 개의 상기 리턴던시 라인을 포함하고, 나머지 메모리 뱅크들은 N (N 은 1 이상의 자연수) 개의 상기 리턴던시 라인들을 포함하며, 상기 M 은 상기 N 보다 큰 자연수이다.

<17> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 일면에 따른 반도체 메모리 장치는 각각이 로우와 칼럼의 매트릭스 구조에 배열되는 다수의 노말 메모리셀들; 및 결합셀을 대체할 수 있는 적어도 하나의 리턴던시 라인을 포함하며, 상기 칼럼 방향으로 배열되는 복수개의 메모리 뱅크들; 및 상기 복수개의 메모리 뱅크들을 포함하는 적어도 하나의 메모리 블록을 구비한다. 상기 복수개의 메모리 뱅크들 중 소정의 경계면에 이웃하는 적어도 하나의 메모리 뱅크는 나머지 메모리 뱅크들에 비하여 더 많은 상기 리턴던시 라인을 포함하는 것을 특징으로 한다.

<18> 바람직하기로는, 상기 경계면은 포토샷 경계면과 칩 경계면 중의 어느 하나이고, 상기 복수개의 메모리 뱅크들 중 상기 경계면에 이웃하는 적어도 하나의 메모리 뱅크는 M 개의 상기 리턴던시 라인을 포함하고, 상기 나머지 메모리 뱅크들은 N (N 은 1 이상의 자연수) 개의 상기 리턴던시 라인들을 포함하며, 상기 M 은 상기 N 보다 큰 자연수이다.

- <19> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <20> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <21> 도 2는 본 발명의 일 실시예에 따른 개선된 리던던시 스킴을 가지는 반도체 메모리 장치가 다수 개 배치된 반도체 웨이퍼를 나타내는 도면이다. 도 2에서는 포토샷 공정 단위인 4개의 반도체 메모리 장치가 반도체 웨이퍼상에 도시되어 있다.
- <22> 본 발명의 일 실시예에 따른 반도체 메모리 장치(200)는 하나 이상의 메모리 블록(210)을 포함한다. 도 2에서는 하나의 반도체 메모리 장치당 4개의 메모리 블록들(210)이 포함된다. 하나의 메모리 블록(210)은 다수의 메모리 뱅크들(220)을 포함하는데, 본 실시예에서는, 16개의 메모리 뱅크들(220)을 포함한다.
- <23> 도 2 및 도 3에서 참조번호 "220a"는 M 개의 리던던시 로우를 가지는 메모리 뱅크를, "220b"는 N 개의 리던던시 로우를 가지는 메모리 뱅크를 의미하며, 이와 같은 구분 없이 메모리 뱅크를 의미할 때는 참조번호 "220"을 사용한다. 여기서, N은 1이상의 자연수이고, M은 N보다 큰 자연수이다.
- <24> 각 메모리 뱅크(220)는 로우(row)와 칼럼(column)의 매트릭스(matrix) 구조에 배열되는 다수의 노말 메모리셀들(230)과, 결함이 발생한 메모리셀, 즉 결함셀을 대체할 수 있는 적어도 하나의 리던던시 셀을 포함한다.

- <25> 본 실시예에서는 결함셀이 발생하는 경우, 결함셀을 포함하는 라인(이하, 결함 라인)을 리던던시 라인(리던던시 로우나 리던던시 칼럼)으로 대체하는 리페어 방식이 사용되는데, 그 중에서도 리던던시 로우로 대체하는 로우 리던던시 방식이 사용된다. 그러나 본 발명의 개념은, 결함셀을 포함하는 하나의 칼럼 라인을 리던던시 칼럼으로 대체하는 칼럼 리던던시 방식에도 동일하게 적용될 수 있음은 당업자에게는 자명하다.
- <26> 한 메모리 블록(210)을 구성하는 16개의 메모리 뱅크들은 칼럼 방향으로 쌓이듯이 배열되는데, 메모리 뱅크들 중 칩 경계면에 이웃하는 메모리 뱅크는 나머지 메모리 뱅크들에 비하여 더 많은 리던던시 라인을 포함한다. 칩 경계면이란 도 2에 도시되듯이 하나의 반도체 메모리 장치(200)를 둘러싸는 4변으로 이루어지는 경계선이다.
- <27> 본 실시예에서, 한 메모리 블록을 구성하는 16개의 메모리 뱅크들 중 로우 방향의 칩 경계면에 이웃하는 8개의 메모리 뱅크들(220a)은 M 개의 리던던시 로우를 포함한다. 반면, 16개의 메모리 뱅크들 중 로우 방향의 칩 경계면에 이웃하지 않는 8개의 메모리 뱅크들(220b)은 N개의 리던던시 로우를 가진다.
- <28> 포토샷 공정의 특성을 고려하면, 포토샷 경계면에 이웃하는 메모리 뱅크들의 리던던시 로우의 수를 증가시키면 된다. 포토샷 경계면이란, 도 2에 도시된 듯이, 포토샷 공정 단위인 4개의 반도체 메모리 장치를 둘러싸는 4변으로 이루어지는 경계선이다. 따라서, 포토샷 센터(C)쪽의 칩 경계면에 이웃하는 메모리 뱅크들의 리던던시 수를 증가시킬 필요는 없으나, 포토 마스크(photo mask) 구성의 편의를 위하여, 본 실시예에서는 포토샷 센터(C)쪽 칩 경계면에 이웃하는 메모리 뱅크들의 리던던시 수도 증가된다.
- <29> 이는, 본 실시예에서는 포토 마스크(photo mask) 구성시 하나의 칩 데이터(Chip Data)(F)가 사용되기 때문이다. 즉, 동일한 칩 데이터(F)가 그대로 쉬프트되어 배치되므로

로, 포토샷 센터(C)쪽 칩 경계면에 이웃하는 메모리 뱅크들의 리턴던시 수도 증가될 필요가 있다.

<30> 본 발명의 일 실시예에 따르면, 칩 경계면에 이웃하는 8개의 메모리 뱅크들(220a)의 리턴던시 개수(M)는 종래에 비하여 증가되는 반면, 나머지 8개의 메모리 뱅크들(220b)의 리턴던시 개수(N)는 종래에 비하여 감소될 수 있다. 이는 칩 경계면에 이웃하지 않는 메모리 뱅크들(220b)의 결함셀 발생률이 감소할 수 있기 때문이다. 따라서, 하나의 반도체 메모리 장치에 구비되는 전체 리턴던시의 수는 종래에 비하여 별 차이가 없다. 그러므로, 본 발명에 의하여, 반도체 메모리 장치의 칩 크기는 종래에 비하여 별 변동이 없으면서, 리페어 효율은 향상될 수 있다.

<31> 도 3은 본 발명의 다른 일 실시예에 따른 반도체 메모리 장치가 다수 개 배치된 반도체 웨이퍼를 나타내는 도면이다. 본 실시예에서도, 상기 일 실시예에서와 마찬가지로, 4개의 반도체 메모리 장치 단위로 포토샷 공정이 진행된다고 가정된다. 따라서, 도 3에서도 포토샷 공정 단위인 4개의 반도체 메모리 장치가 반도체 웨이퍼상에 도시된다.

<32> 본 발명의 다른 일 실시예에 따른 반도체 메모리 장치(300) 역시 본 발명의 일 실시예에 따른 반도체 메모리 장치(200)와 마찬가지로, 4개의 메모리 블록들(310)을 포함하며, 하나의 메모리 블록(310)은 16개의 메모리 뱅크들(220)을 포함한다.

<33> 도 3에서 참조번호 "300a"는 "F1"의 패턴을 가지는 반도체 메모리 장치를, "300b"는 "F2"의 패턴을 가지는 반도체 메모리 장치를 의미하며, 이와 같은 구분없이 반도체 메모리 장치를 의미할 때는 참조부호 "300"이 사용된다. 또한, 참조번호 "310a"는 16개의 메모리 뱅크 모두가 N 개의 리턴던시 로우를 가지는 메모리 뱅크(220b)인 메모리 블록을, "310b"는 일부의 메모리 뱅크는 M 개의 리턴던시 로우를 가지는 메모리 뱅크(220a)이

고 나머지 메모리 뱅크는 N 개의 리턴던시 로우를 가지는 메모리 뱅크(220b)인 메모리 블록을 의미하며, 이와 같은 구분없이 메모리 블록을 의미할 때는 참조번호 "310"이 사용된다.

<34> 한 메모리 블록(310)을 구성하는 16개의 메모리 뱅크들은 칼럼 방향으로 쌓이듯이 배열되는데, 메모리 뱅크들 중 포토샷 경계면에 이웃하는 메모리 뱅크는 나머지 메모리 뱅크들에 비하여 더 많은 리턴던시 라인을 포함한다.

<35> 본 실시예에서는, 로우 방향의 포토샷 경계면에 이웃하는 메모리 블록(310b)을 구성하는 16개의 메모리 뱅크들 중 포토샷 경계면에 이웃하는 8개의 메모리 뱅크들(220a)은 M 개의 리턴던시 로우를 포함한다. 반면, 메모리 블록(310b)을 구성하는 16개의 메모리 뱅크들 중 로우 방향의 포토샷 경계면에 이웃하지 않는 8개의 메모리 뱅크들(220b)은 N개의 리턴던시 로우를 가진다. 그리고, 로우 방향의 포토샷 경계면에 이웃하지 않는 메모리 블록(310a)의 모든 메모리 뱅크들(220b)은 각각N개의 리턴던시 로우를 가진다.

<36> 본 발명의 다른 일 실시예에 따른 반도체 메모리 장치(300)는 포토샷 경계면에 이웃하는 메모리 뱅크의 리턴던시 수만 증가되고 포토샷 센터(C)쪽의 메모리 뱅크의 리턴던시 수는 증가되지 않으므로, 본 발명의 일 실시예에 따른 반도체 메모리 장치(200)에 비하여 칩 크기 면에서 더 효율적이다.

<37> 이는, 본 실시예에서는 포토 마스크 구성시 F1, F2의 두 가지 칩 데이터가 사용되기 때문이다. 즉, 반도체 메모리 장치의 상위(Top)쪽 메모리 뱅크들의 리턴던시 수를 증가시킨 칩 데이터(F1)와 반도체 메모리 장치의 하위(bottom)쪽 메모리 뱅크들의 리턴던시 수를 증가시킨 칩 데이터(F2)를 도 3과 같이 배치함으로써, 결함셀 불량률이 높게 나타나는 포토샷 경계면에 이웃하는 메모리 뱅크들의 리턴던시 수만 증가시키면 된다.

<38> 본 명세서에서는, 로우 방향의 포토샷 경계면이나 칩 경계면에 이웃하는 메모리 뱅크들의 리턴던시 수를 나머지 메모리 뱅크들의 리턴던시 수에 비하여 많이 설계하는 실시예들이 기재되었다. 그러나, 칼럼 방향의 포토샷 경계면이나 칩 경계면에 이웃하는 메모리 뱅크들의 리턴던시 수도 조절될 수 있다.

<39> 또한 본 명세서에서는, 포토 마진 부족으로 포토샷 경계면의 메모리 뱅크들의 리페어율이 높아 리턴던시 셀이 모자라는 현상을 방지하기 위하여, 포토샷 경계면의 메모리 뱅크들의 리턴던시 개수를 다른 메모리 뱅크들의 리턴던시 개수보다 증가시키는 실시예들이 기재되었다. 그러나, 포토 공정 외의 다른 공정 특성이나 원인으로 인하여 메모리 뱅크별로 리페어율이 달라지는 경우에도, 리페어율이 높은 메모리 뱅크의 리턴던시 개수를 다른 메모리 뱅크들에 비하여 증가시키는 실시예가 가능함은 당업자에게는 자명하다.

<40> 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<41> 본 발명에 의하면, 공정 특성 등으로 인하여 메모리 뱅크에 따라 불량률이 다르게 나타나는 경우에 메모리 뱅크에 구비되는 리턴던시 개수를 다르게 함으로써, 수율(yield)을 개선할 수 있는 효과가 있다. 또한, 불량률이 높은 메모리 뱅크의 리턴던시 수는 증가시키는 반면, 불량률이 적은 메모리 뱅크의 리턴던시 수는 줄임으로써, 칩 크

기의 증가를 초래하지 않으면서도 리턴턴시 융통성(flexibility)을 높일 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

로우와 칼럼의 매트릭스 구조에 배열되는 다수의 노말 메모리셀들; 및 결함라인을 대체할 수 있는 적어도 하나의 리던던시 라인을 포함하는 복수개의 메모리 뱅크들을 구비하며,

상기 결함라인은 상기 결함라인이 속하는 메모리 뱅크의 리던던시 라인으로 대체되고,

상기 리던던시 라인의 수는 상기 리던던시 라인이 포함되는 메모리 뱅크의 위치에 따라 다른 것을 특징으로 하는 개선된 리던던시 스킴을 가지는 반도체 메모리 장치.

【청구항 2】

제 1항에 있어서,

상기 메모리 뱅크들 중 포토샷 경계면에 이웃하는 적어도 하나의 메모리 뱅크는 M 개의 상기 리던던시 라인을 포함하고, 나머지 메모리 뱅크들은 N (N 은 1 이상의 자연수) 개의 상기 리던던시 라인들을 포함하며,

상기 M 은 상기 N 보다 큰 자연수인 것을 특징으로 하는 개선된 리던던시 스킴을 가지는 반도체 메모리 장치.

【청구항 3】

제 1항에 있어서,

상기 메모리 뱅크들 중 칩 경계면에 이웃하는 적어도 하나의 메모리 뱅크는 M 개의 상기 리던던시 라인을 포함하고, 나머지 메모리 뱅크들은 각각 N (N 은 1 이상의 자연수) 개의 상기 리던던시 라인들을 포함하며,

상기 M 은 상기 N 보다 큰 자연수인 것을 특징으로 하는 개선된 리던던시 스킴을 가지는 반도체 메모리 장치.

【청구항 4】

제 1항에 있어서, 상기 반도체 메모리 장치는

로우 리던던시 방식을 채용하는 것을 특징으로 하는 개선된 리던던시 스킴을 가지는 반도체 메모리 장치.

【청구항 5】

제 1항에 있어서, 상기 반도체 메모리 장치는

칼럼 리던던시 방식을 채용하는 것을 특징으로 하는 개선된 리던던시 스킴을 가지는 반도체 메모리 장치.

【청구항 6】

각각이 로우와 칼럼의 매트릭스 구조에 배열되는 다수의 노말 메모리셀들; 및 결합셀을 대체할 수 있는 적어도 하나의 리던던시 라인을 포함하며, 상기 칼럼 방향으로 배열되는 복수개의 메모리 뱅크들; 및

상기 복수개의 메모리 뱅크들을 포함하는 적어도 하나의 메모리 블록을 구비하며,

상기 복수개의 메모리 뱅크들 중 소정의 경계면에 이웃하는 적어도 하나의 메모리 뱅크는 나머지 메모리 뱅크들에 비하여 더 많은 상기 리던던시 라인을 포함하는 것을 특징으로 하는 개선된 리던던시 스킴을 가지는 반도체 메모리 장치.

【청구항 7】

제 6항에 있어서,

상기 경계면은 포토샷 경계면이고,

상기 복수개의 메모리 뱅크들 중 상기 포토샷 경계면에 이웃하는 적어도 하나의 메모리 뱅크는 M 개의 상기 리던던시 라인을 포함하고, 상기 나머지 메모리 뱅크들은 $N(N$ 은 1 이상의 자연수) 개의 상기 리던던시 라인들을 포함하며,

상기 M 은 상기 N 보다 큰 자연수인 것을 특징으로 하는 개선된 리던던시 스킴을 가지는 반도체 메모리 장치.

【청구항 8】

제 6항에 있어서,

상기 경계면은 칩 경계면이고,

상기 메모리 뱅크들 중 상기 칩 경계면에 이웃하는 적어도 하나의 메모리 뱅크는 M 개의 상기 리던던시 라인을 포함하고, 상기 나머지 메모리 뱅크들은 $N(N$ 은 1 이상의 자연수) 개의 상기 리던던시 라인들을 포함하며,

상기 M 은 상기 N 보다 큰 자연수인 것을 특징으로 하는 개선된 리던던시 스킴을 가지는 반도체 메모리 장치.

1020020054257

출력 일자: 2002/10/24

【청구항 9】

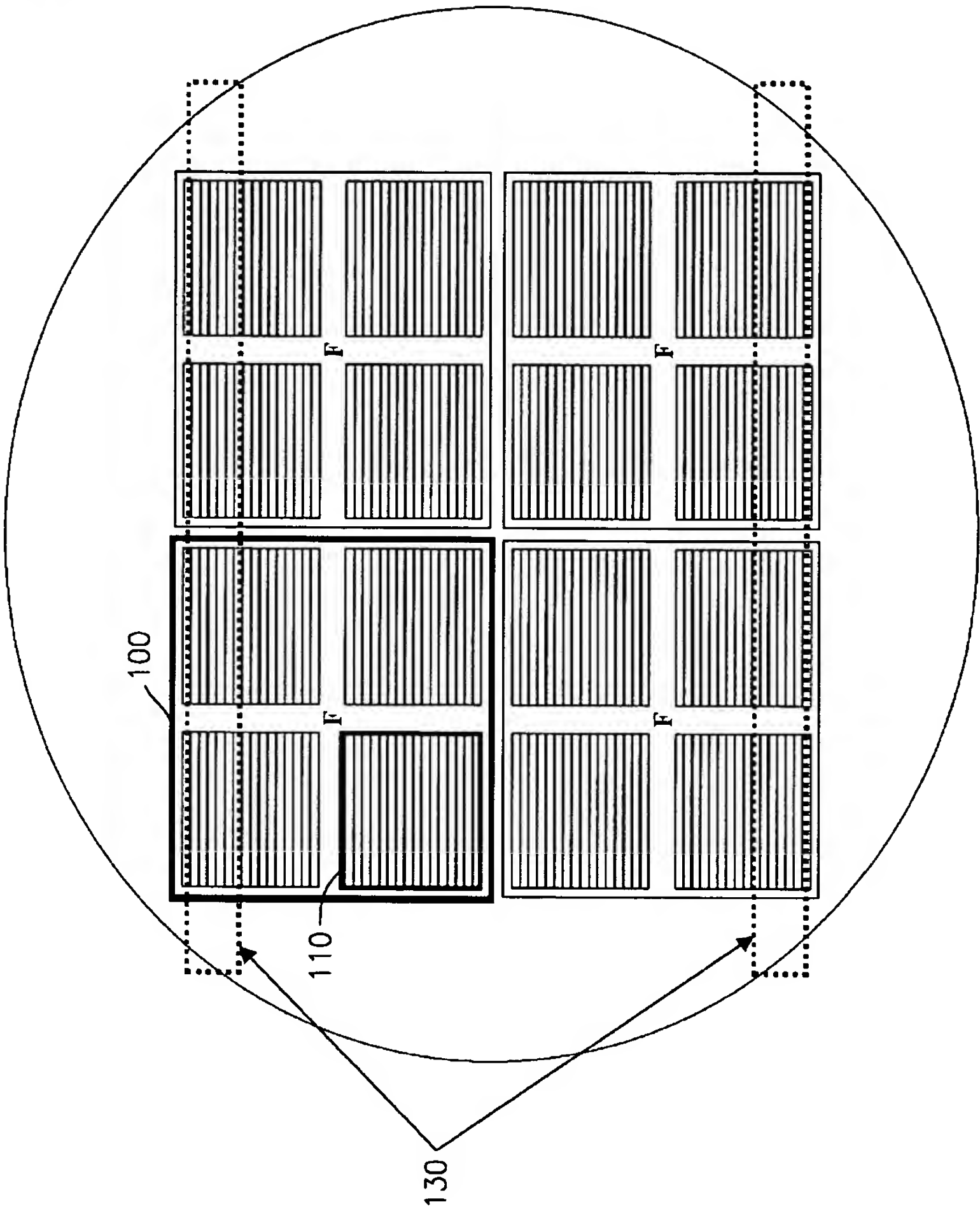
제 6항에 있어서, 상기 반도체 메모리 장치는
로우 리던던시 방식을 채용하는 것을 특징으로 하는 개
는 반도체 메모리 장치.

【청구항 10】

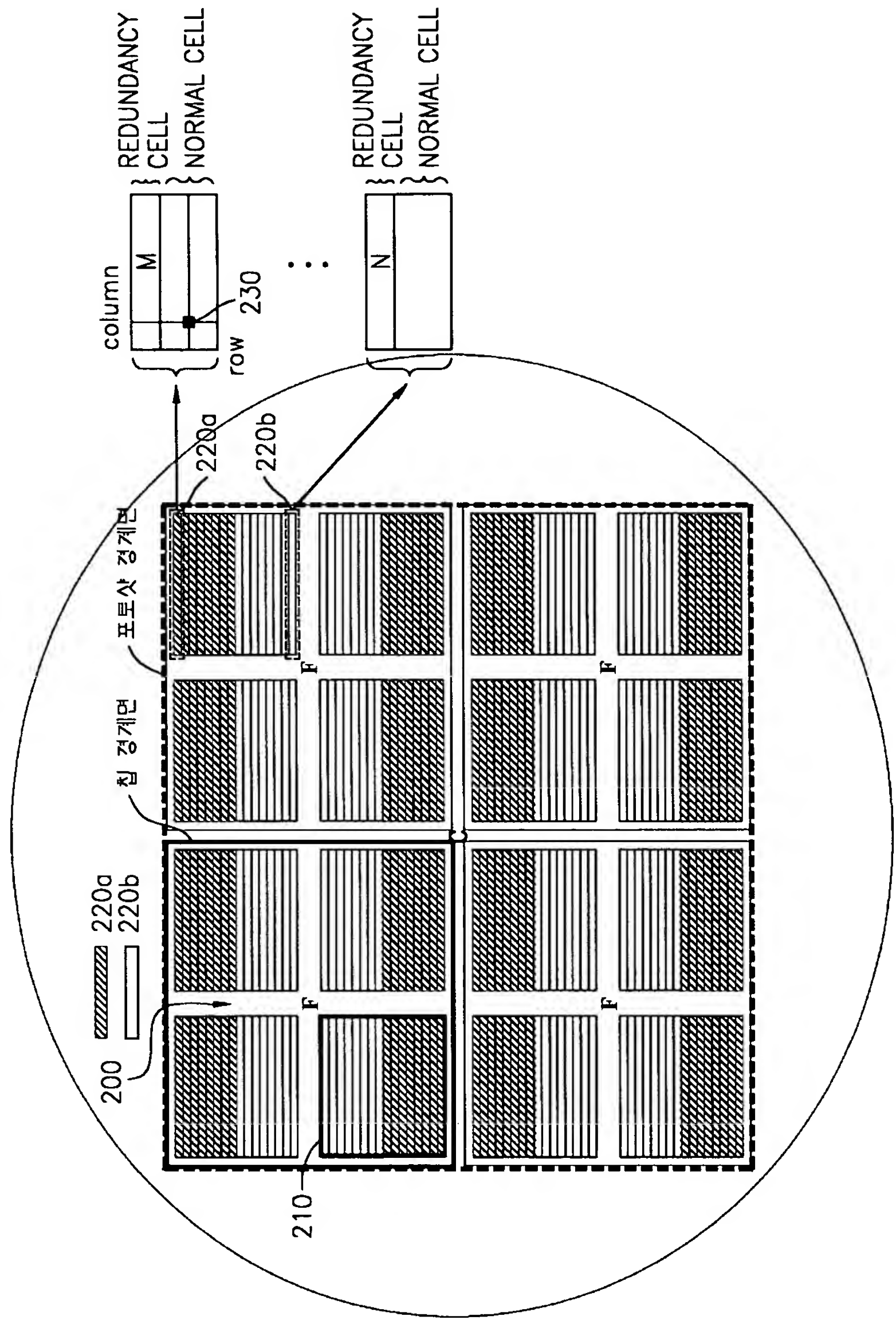
제 6항에 있어서, 상기 반도체 메모리 장치는
칼럼 리던던시 방식을 채용하는 것을 특징으로 하는 개선된 리던던시 스킴을 가지
는 반도체 메모리 장치.

【도면】

【도 1】



【도 2】



【도 3】

